

**GENERATORE DIGITALE DI SEGNALI
PROGRAMMABILE.
(DDS)**

C. Bortolotti- S. Montebugnoli

**Rapp. Int. IRA
184 /94**

File:DDS3.DOC

CONTENUTO

- Premessa
- Introduzione
- DDS
- Evaluation Board
- Purezza Spettrale
- Allegato
- Schema a Blocchi del Sistema
- Schema Elettrico

PREMESSA

Nella nota tecnica che segue viene descritto un oscillatore digitale a sintesi diretta (DDS), in grado di generare segnali monocromatici nel range 30 Hz / 35 MHz, a step di 0.1 Hz, con buona purezza spettrale e bassissimo tempo di settling time.

INTRODUZIONE

L'aumento della disponibilità di soluzioni in single-chip e della velocità propria dei dispositivi VLSI, ha portato negli ultimi anni ad un uso sempre più intensivo dei generatori digitali a sintesi diretta (DDS) anche in quei settori in cui il dominio incontrastato era proprio dei PLL. La tecnica della DDS è infatti diventata una alternativa alla tecnica di generazione dei segnali tramite PLL e, in alcuni casi, una vera e propria soluzione dei problemi non risolvibili con l'utilizzo dei PLL stessi. Volendo elencare gli svantaggi delle due diverse tecniche, si ha quanto segue:

A) TECNICA PLL

- 1) Risoluzione in frequenza (step)
- 2) Settling Time
- 3) Range di Frequenza coperto
- 4) Rumore di Fase (Purezza Spettrale)
- 5) Costo.

B) TECNICA DDS

- 1) Clock elevato
- 2) Consumo
- 3) Costo
- 4) Complessità

Analizzando i vantaggi e gli svantaggi dell'una o dell'altra tecnica, si sceglie l'architettura in funzione della applicazione. Pur non costituendo un diretto rimpiazzo dei PLL, i DDS presentano alcune caratteristiche che non sono assolutamente riscontrabili nei PLL, tipo:

- 1) Minimo Settling Time (Frazioni di uSec.).
- 2) Range di operazione (molte ottave).
- 3) Risoluzione in Frequenza fine (<1uHz tipico).
- 4) Coerenza di Fase al variare della frequenza.
- 5) Possibilità di generare segnali in quadratura su molte ottave.

Uno dei vantaggi maggiori dei DDS sui PLL, è costituito dal basso rumore di fase, per il fatto che nei primi il "numero" che descrive la fase è generato da un clock fisso: maggiore è la purezza del clock, minore è il rumore di fase. A questo proposito si nota che, comunque, il rumore di fase del clock di riferimento viene ridotto di un fattore K dato da:

$$K = 20 \log(M)$$

dove $M = w(\text{output})/w(\text{clock})$

con ω velocità angolare.

Ci si può chiedere quale potrebbe essere il limite del rumore di fase di un DDS o meglio, quale potrebbe essere il rumore di fase di un DDS con un riferimento "perfetto". In tale situazione il limite sembra essere (a 20 MHz) circa 120 dBc/ Hz a 1 Hz di distanza dal carrier e circa -140 dBc/Hz a 300 Hz dal carrier per poi rimanere costante.

Gli attuali chips sono molto vicini ai limiti pratici imposti dalla tecnologia corrente dei processi di integrazione dei semiconduttori, per cui i futuri miglioramenti saranno più strettamente legati alle innovazioni di questi ultimi, più che ad eventuali elaborazioni circuitali od architettoniche dei DDS stessi.

DDS

Il modo migliore per entrare nell'ottica di funzionamento dei DDS, è forse quello di affrontare la descrizione dello schema di principio di fig.1 procedendo dalla uscita verso l'ingresso. L'informazione digitale fornita al DAC deve, in un qualche modo, rappresentare il valore istantaneo della ampiezza del segnale analogico in uscita. Il compito di fornire questa informazione è della parte digitale che la fornisce come una senoide descritta "numericamente". Il modo più immediato ed efficace per ottenere tale senoide, è quello di definire digitalmente una "frequency word" che viene poi "integrata" in un contatore che provvede a fornire l'informazione della fase istantanea. Per ultimo, la parola digitale relativa alla fase, viene convertita in ampiezza tramite una ROM (Look-up table), dove l'informazione relativa alla fase viene usata per indirizzare la cella contenente la corrispondente informazione sull' ampiezza. In pratica si può considerare la look-up table come un digital phase - to - amplitude converter. In fig.2 compare la relazione tra gli address e i data in una tipica look-up table ROM. Tutte le informazioni necessarie per la completa descrizione di un ciclo di senoide (360 gradi), sono contenute in solo quadrante (90 gradi). Infatti fino a 90 gradi la look-up table viene letta in un senso, da 91 a 180 gradi viene letta in senso inverso (generazione semionda positiva), invertendo il segno e ripetendo il precedente ciclo di lettura si generano i rimanenti 180 gradi (semionda negativa). Per un valore costante della frequenza il dfi/dt (f_i =fase) sarà costante; la variazione di fase di un segnale a frequenza costante, è una progressione lineare. I contatori sono dei generatori di progressioni lineari di numeri digitali per eccellenza e la linearità della stessa è funzione diretta della "bontà" del clock di riferimento usato.

Differenti valori di frequenza (F) richiedono diverse slopes della fase f_i (dfi/dt). Un contatore a modulo variabile può essere programmato dalla "frequency word" per fornire $2^{(N-1)}$ possibili dfi/dt , o valori di frequenze sintonizzabili, con N rappresentante il numero dei bits del contatore. Siccome tale contatore "accumula" la variazione di fase ad ogni ciclo di clock, viene chiamato "accumulatore di fase".

Tutti i parametri descrittivi la senoide, frequenza, fase, ampiezza (F, f_i , A) sono descritti singolarmente da una digital word. Frequentemente le risoluzioni di questi tre parametri vengono confuse, vediamole quindi separatamente: la risoluzione in frequenza (step minimo con cui si copre l'intero range) è definita dal numero di bits (N) del contatore programmabile; la risoluzione angolare (step minimo di fase) è funzione del numero di bits impiegati nella look-up table ed infine la risoluzione in ampiezza è legata al numero di bits impiegati dal DAC per la ricostruzione analogica del segnale sinusoidale.

EVALUATION BOARD

Nel sintetizzatore digitale realizzato si è fatto uso della Universal DDS Mother Board della Stanford Telecom STEL 1370, in grado di accettare i moduli DDS

della famiglia 137X (nel nostro caso il 1376). Lo schema a blocchi della evaluation board considerata, viene riportato in fig.3. La scheda è fornita di connettori tipo "D" per il controllo tramite interfaccia esterna (J1 e J2) e connettori tipo SMA per il riferimento e l'output del segnale. Per la generazione del clock vi è la possibilità di installare a bordo un oscillatore libero o, in alternativa, un PLL operante con un clock di riferimento di 10 MHz. La descrizione dei connettori "D" viene rimandata alla tavola 1. Sempre nella fig.3, si nota che il modulo DDS 1376 è in realtà composto da un Numerically Controlled Oscillator (NCO) del tipo STEL 1176, seguito da un level shifter e da un convertitore DAC a 10 bit. Prima di procedere alla descrizione dell'intero sistema, si riporta una breve panoramica del NCO STEL 1176.

Un NCO genera una sinusoide campionata dove la funzione di campionamento è il clock. Il limite pratico superiore della valore della frequenza di uscita di un NCO è circa il 40% della frequenza di clock. Al di sopra di questo valore si troverebbero grosse spurie, generate dal processo di campionamento dalla metà del valore della frequenza di clock in poi e difficilmente rimovibili con un filtraggio.

Il Numerically Controlled Oscillator STEL 1176 offre la possibilità di generare una sinusoide "numerica" molto pulita con frequenza multipla di 0.1 Hz, partendo da un riferimento di 10 MHz. Il formato di controllo della frequenza è costituito da una word di 35 bit (8 cifre e 3/4 BCD) e quello di controllo della modulazione di fase (PM) da 3 bits. La frequenza di uscita F_o è data dalla relazione:

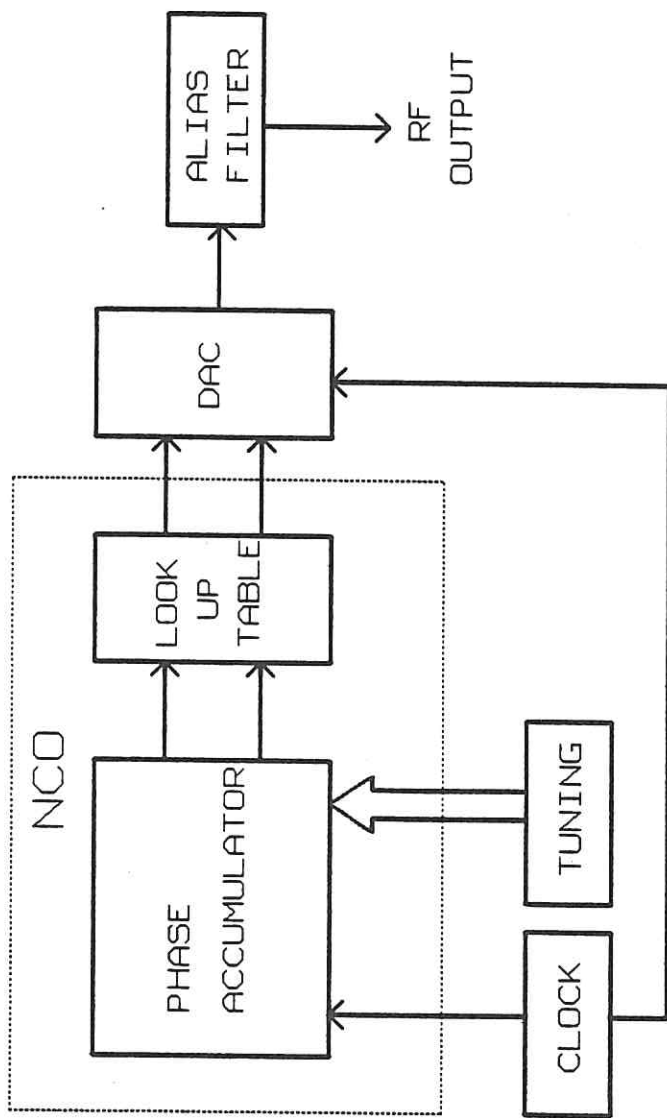
$$F_o = F_c \cdot dPhase / 8.10E6$$

con F_o = frequenza di uscita
 F_c = frequenza del clock

In fig.4 appare lo schema a blocchi dello STEL 1176. Viene riportata una breve descrizione dei singoli blocchi:

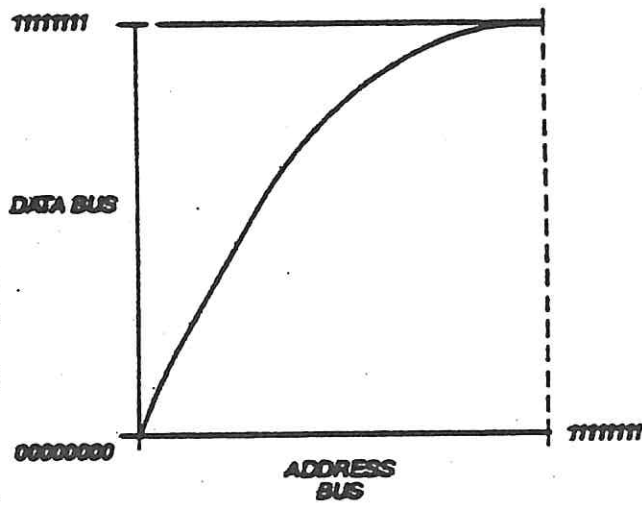
- ADDRESS SELECT LOGIC: ha il compito di controllare la scrittura dei dati di controllo della frequenza e della modulazione di fase, nel NCO. Il dato relativo alla frequenza da impostare viene trasferito nel dispositivo sul fronte di salita del WRSTB mentre il modo in cui deve essere caricato (in parallel mode o in Byte wide mode) ed il registro in cui deve essere scritto, viene selezionato tramite gli ingressi ADDR. Il comando CSEL dà la possibilità di abilitare o meno la scrittura dei dati.

- d-PHASE BUFFER REGISTER: viene usato per la memorizzazione temporanea dei valori della word relativa alla frequenza da impostare, per



-CNR- ISTITUTO DI RADIOASTRONOMIA	
Title	BASIC DDS SYSTEM
Size	Document Number
B	FILE:DDSR1.SCH
Date:	May 13, 1993
Sheet	of

FIG 4



Look up table showing the 90° sinusoid relationship between the address and data buses

FIG 2

permetterne la scrittura indipendentemente dal modo selezionato (35 bit word o byte wide). Il dato viene trasferito da questo registro al d-PHASE REGISTER sul fronte di discesa del FRLD.

- PHASE BUFFER REGISTER: ha il compito di memorizzare temporaneamente il valore della fase da scrivere; il dato è trasferito nel PHASE ALU, sul fronte di discesa del PHLD.

- d-PHASE REGISTER BLOCK : controlla l'updating dei dati (d-phase) usati nell'accumulatore; i dati provenienti dal d-phase buffer register, vengono caricati in questo blocco dopo il fronte di discesa del segnale di controllo FRLD.

- PHASE ACCUMULATOR BLOCK: questo blocco è il "core" del NCO; è un contatore ad alta velocità a 35 bit paralleli (BCD) in grado di fornire una nuova "somma" ad ogni ciclo di clock. A differenza di altri NCO, lo STEL 1176 è fatto in modo tale da fornire valori di output decimali. I 35 bits in formato BCD formano 8 decadi e 3/4; in pratica questo significa che il contatore arriva fino a 799.999.999 cioè una risoluzione di 1 parte in 800.000.000 (0.1 Hz su 80 MHz). La risoluzione si può comunque espandere tramite un NCO esterno ed il controllo del pin CIN.

- PHASE ALU BLOCK: il Phase ALU fa la somma del dato PM con l'uscita del Phase Accumulator. Il PM è un dato espresso da 3 bits e viene sommato ai 3 bit più significativi provenienti dal Phase Accumulator per formare la parola che descrive la fase modulata che viene poi usata per l'indirizzamento della look-up table.

- SINE LOOK-UP TABLE BLOCK: questo è il blocco di memoria della sinusoide. I 15 bits che provengono dalla Phase Accumulator e ALU sono utilizzati per indirizzare questa memoria; questo permette di generare un output di 12 bit (OUT 11-0)

- CLOCK DIVIDER BLOCK: il riferimento fornito al sistema viene diviso per due per formare il segnale LDCLK che viene usato dal d-Phase Register Block. In funzione dello stato dell'ingresso CLKSEL il segnale LDCLK viene ulteriormente diviso per 4 o per 8, questo per avere a disposizione il segnale REFCLK che può essere usato in un PLL che genera gli 80 MHz agganciati ad un riferimento standard di 5 o 10 MHz.

Dallo schema a blocchi del DDS di fig. 3 si nota che dopo il NCO, che genera la sinusoide "numerica", vi è la parte che la trasforma in una sinusoide analogica tramite un convertitore D/A. L'uscita del NCO è CMOS mentre l'ingresso del D/A è ECL per cui fra i due viene interposto un level shifter. Il convertitore è del tipo Sony CX20201A-1.

Vediamo ora di descrivere i vari segnali di ingresso e di uscita dal modulo DDS STEL 1376. Iniziamo con quelli di ingresso:

- RESET: l'ingresso di reset è asincrono ed azzerava tutti i registri del dispositivo in circa 13 ns dopo che il relativo livello è andato basso. Quando questo torna alto il dato (OUT 11-0) rimane non valido per 10 cicli di clock, quindi rimarrà al valore corrispondente alla fase 0 fino a che non viene caricato un nuovo valore di frequenza o fase.

- CLOCK: tutte le funzioni sincrone all'interno del NCO sono riferite al fronte di salita del segnale di clock. Questo deve essere un'onda quadra con frequenza di 80 MHz.

- CSEL: il Chip Select Input viene usato per controllare la scrittura dei dati nel chip ed è attivo basso. Quando questo ingresso è mantenuto alto viene inibito l'ingresso dei dati attraverso il bus (DATA 7-0).

- DATA 34->0 : il bus a 35 bit (DATA 34->0) viene usato per programmare il d-Phase Register; il dato programmato in quest'ultimo determina il valore della frequenza di output. Il dato può venire caricato o come parola parallela di 35 bit o come 5 bytes separati (byte wide), a seconda dello stato del bus di indirizzamento come si può vedere nella address table (tavola 2). Quando è selezionato il byte wide mode (indirizzi 000 ->100), le 35 linee del bus devono essere collegate esternamente per creare un bus a 8 bit. Questo si ottiene connettendo:

DATA 34->32 alle linee DATA 2->0

DATA 31->24 alle linee DATA 23->26, DATA 15->8, DATA 7->0

come da fig.....

- PHASE 2->0: questo bus a 3 bit viene usato per programmare il Phase Register. Phase 2 corrisponde ad una fase incrementale di 180 gradi, phase 1 a 90 gradi e phase 0 a 45 gradi.

- ADDR 2->0: le tre linee di indirizzamento addr 2->0 controllano le modalità di caricamento dei dati. In particolar modo il bus DATA 34->0 per la scrittura della frequenza nel d-Phase Buffer Register e del bus Phase 2->0 per la scrittura del valore della fase nel Phase Buffer Register. In altri termini osservando la tabella 2 si nota che i modi con cui si possono caricare i dati sono:

1) Byte-Wide mode in cui la parola da 35 bit relativa al valore della frequenza viene caricata ad un byte per volta. Ovviamente questo è il modo più lento per caricare i dati.

2) Parallel mode dove il valore relativo alla frequenza viene scritto in modo parallelo. Questa è la maniera più rapida per scrivere dati permettendo così la più alta velocità di frequency hopping.

3) Simultaneously mode in cui il dato relativo alla frequenza e quello relativo alla fase vengono caricati simultaneamente.

- WRSTB: l'ingresso del write strobe è usato per il latching della parola presente sul bus DATA 34->0 e di quella presente sul bus PHASE 2->0. Sul fronte di salita del WRSTB le suddette parole vengono caricate nei buffer register selezionati dal ADDR 2->0 bus.

- FRLD: questo ingresso è usato per il controllo del trasferimento dei dati dal d-Phase Buffer Register al d-Phase Register. All'uscita del buffer register i dati devono essere validi tra il fronte di discesa dell'impulso di FRLD ed il successivo fronte di salita del LDCLK e verranno poi trasferiti durante il successivo ciclo. La frequenza all'uscita dell'NCO cambia dopo 37 o 38 cicli di clock (a seconda di come era lo stato del segnale LDCLK all'arrivo del FRLD).

- PHLD: l'ingresso Phase Load viene usato per il controllo del trasferimento dei dati dal Phase Buffer Register al Phase ALU. Anche in questo caso i dati all'uscita del buffer register devono essere validi dal fronte di discesa dell'impulso di PHLD fino al successivo fronte di salita del LDCLK e verranno trasferiti durante il ciclo successivo. La fase del NCO cambia dopo 17 o 18 cicli di clock (a seconda di come era lo stato di LDCLK all'arrivo del PHLD)

- CIN: l'ingresso di carry è un arithmetic carry al bit meno significativo dell'accumulatore. In condizioni normali di funzionamento del NCO si richiede che questo pin sia mantenuto a livello 0. Nel caso in cui questo venga posto a livello alto, l'effettivo valore del contenuto del d-Phase Register viene incrementato di 1. Questo permette di espandere la risoluzione dell'accumulatore nei casi in cui venga richiesta una maggiore risoluzione in frequenza.

- CLKSEL: il clock select input seleziona il valore della frequenza di uscita di REFCLK. Quando il CLKSEL è mantenuto alto, il valore di REFCLK in uscita è il valore di CLOCK diviso per 8. Nel caso in cui venga messo a 0, il valore della frequenza di uscita REFCLK è pari a quello di CLOCK diviso per 16.

- VREF: questo è l'ingresso della tensione di riferimento del convertitore digitale-analogico (DAC). Variando tale tensione si ha la possibilità di variare il livello del segnale in uscita dello STEL-1376. Il massimo livello ottenibile in uscita è proporzionale al valore della tensione presente tra VSS e -Vref. Siccome è possibile modulare in ampiezza il segnale d'uscita tramite questa tensione, nei casi in cui si voglia una certa stabilità d'ampiezza occorre stabilizzare detta tensione di riferimento.

Passiamo ora alla descrizione dei segnali in uscita:

- OUT: il segnale in uscita non è altro che il segnale

d'uscita del DAC e di conseguenza è una stepped sinewave (con un certo DC offset), dove il numero di steps in ogni ciclo è pari al rapporto tra la frequenza di clock e quella stessa d'uscita. Se il DDS non viene impiegato nella fascia più bassa del range di frequenze, si può accoppiare capacitivamente al blocco che segue. In caso contrario si deve controllare il DC offset esternamente.

- REFCLK: come visto in precedenza nella descrizione dei segnali di input, il valore della frequenza di uscita REFCLK dipende dallo stato del pin CLSEL. Quando il valore della frequenza del clock di ingresso è 80 MHz, per ottenere una risoluzione di 0.1 Hz occorre che la frequenza del segnale REFCLK sia 5 o 10 MHz. Può essere usata per agganciare un PLL a 80 MHz ad una frequenza di riferimento standard ad uno dei due valori scelti.

- LDCLK: il segnale di output LDCLK non è altro che il CLOCK diviso per due. Questo è usato per caricare le parole relative alla fase e frequenza, dai buffer registers ai Phase ALU e d-Phase Register rispettivamente. Questa uscita offre la possibilità di determinare l'esatto ciclo di clock in cui il trasferimento ha luogo (vedere il timing diagram).

Con questo si conclude la descrizione dei vari blocchi costituenti il DDS STEL 1376, ed i relativi segnali di input/output.

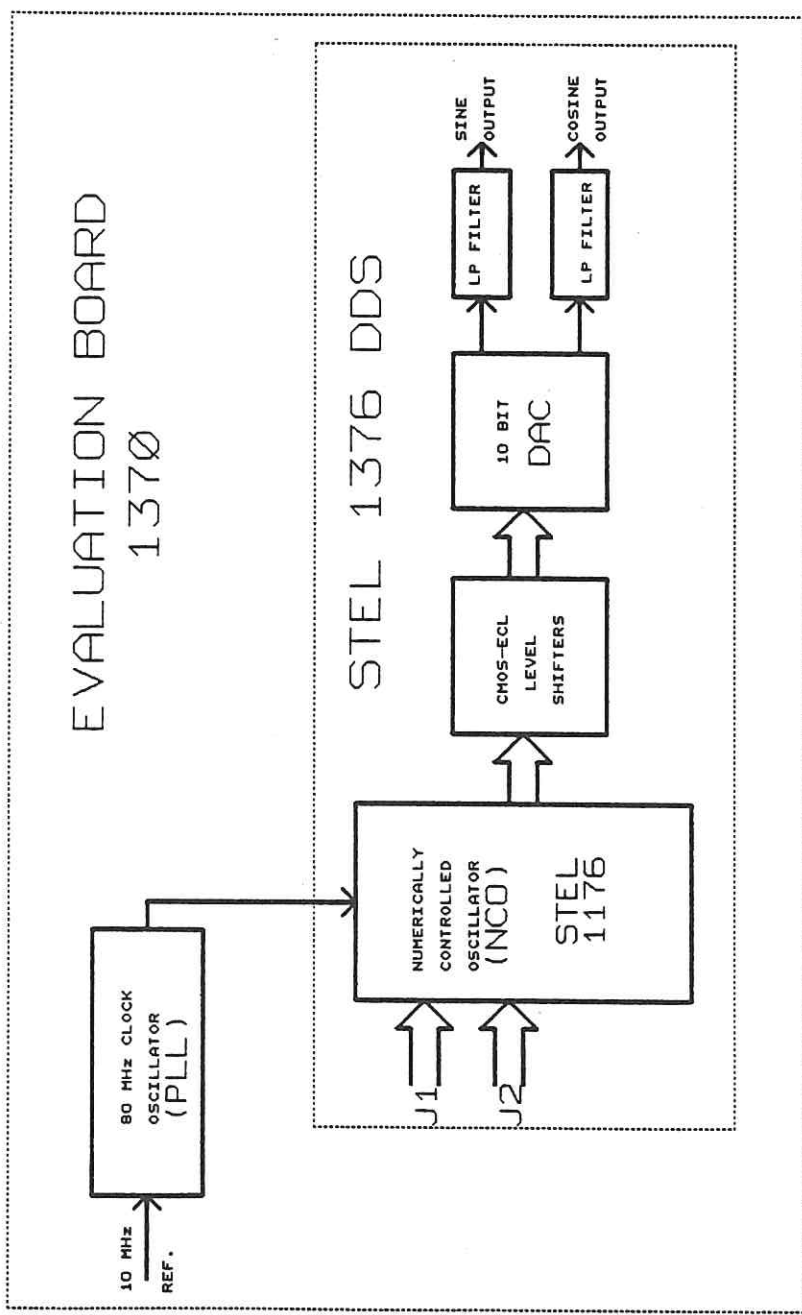


FIG. 3

-CNR- ISTITUTO DI RADIOASTRONOMIA	
Title	1370 EVALUATION BOARD
Size Document Number	B
FILE:EV.SCH	REV
Date: May 13, 1993	Sheet of

STEL-1176 BLOCK DIAGRAM

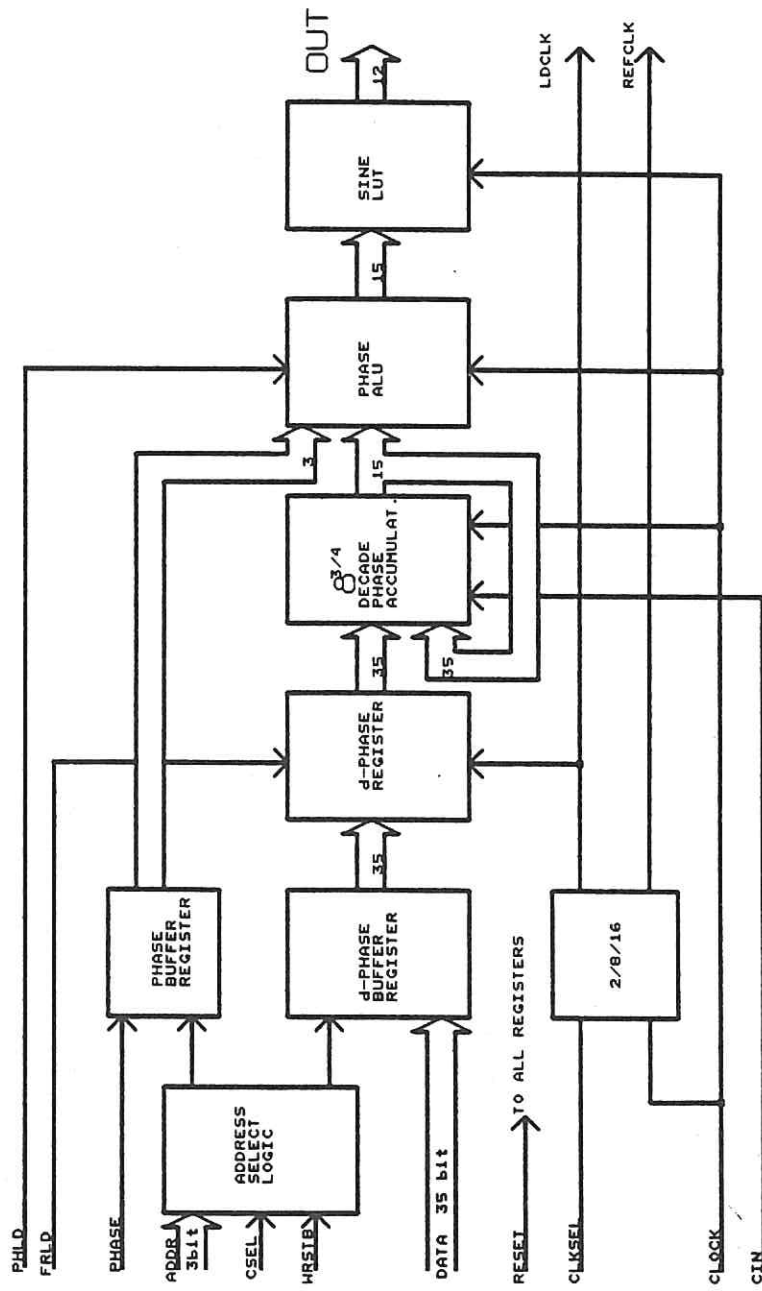


FIG 4

-CNR- ISTITUTO DI RADIOASTRONOMIA	
Title	STEL-1176 BLOCK DIAGRAM
Size Document Number	B
File	FILE:1176.SCH
Date	May 13, 1993
Sheet	of
REV	

PUREZZA SPETTRALE

Quando un NCO viene usato in unione ad un DAC per generare un segnale analogico, la purezza spettrale del segnale sintetizzato è funzione di molte variabili. Alcune sono rappresentate dalla quantizzazione della fase, da quella dell'ampiezza, dal rapporto della frequenza di clock e quella d'uscita e dalle caratteristiche dinamiche del DAC. All'uscita del NCO abbiamo una sinusoide numerica che ha 12 bit di risoluzione in ampiezza e 15 bits di risoluzione di fase comportando un livello di spurie sotto i 72 dB (ad ogni potenza di due si ha un raddoppio che equivale a 6 dB in tensione per cui a 12 bit corrisponde un valore di $12 \times 6 = 72$ dB). La frequenza più alta F_o ottenibile da un NCO è in teoria pari a metà della frequenza di campionamento F_c ($F_o = F_c/2$) per cui le spurie al di sopra di questo valore possono essere rimosse con un opportuno filtraggio. Quando però la frequenza di uscita F_o si avvicina al valore massimo teorico $F_c/2$, la spuria creata dal processo di sampling a $F_c - F_o$ è prossima al valore F_o per cui è molto difficile rimuoverla con un filtraggio. E' per questo motivo che, come visto in precedenza, il valore massimo della frequenza di uscita viene scelto essere solo il 40% del clock e non la metà. Un plottato dello spettro del segnale in uscita dello STEL-1376 viene riportato qui di seguito e si riferisce ad un segnale avente una frequenza di valore pari a 12.3456789 MHz. Come si può vedere il livello massimo della spuria osservato nell'intero range è -59 dBc. E' importante ricordare che per valori della frequenza di uscita superiori al 25% della frequenza di clock, la seconda armonica diventa più alta della frequenza di Nyquist (50% della frequenza di clock). La stessa cosa accade per la terza armonica quando la frequenza di uscita è esattamente $F_c/4$. Per terminare queste brevi considerazioni sulla purezza spettrale del sistema, si vuole ancora sottolineare la necessità di scegliere DAC con la migliore dynamic-linearity; questa, in un DAC, è funzione di quella statica e delle caratteristiche dinamiche tipo il settling time e lo slew rate. Infatti alle frequenze di operazione più alte la forma d'onda generata dal DAC ha grosse variazioni di livello tra un sample e l'altro per cui il settling time del DAC deve assolutamente essere inferiore al periodo di clock.

Prima di procedere nella descrizione, si riportano la pin configuration e le Electrical Characteristics del NCO 1176 e dello STEL 1376.

UNIVERSAL DDS

MOTHER BOARD

STEL-1370

- ALLEGATO -

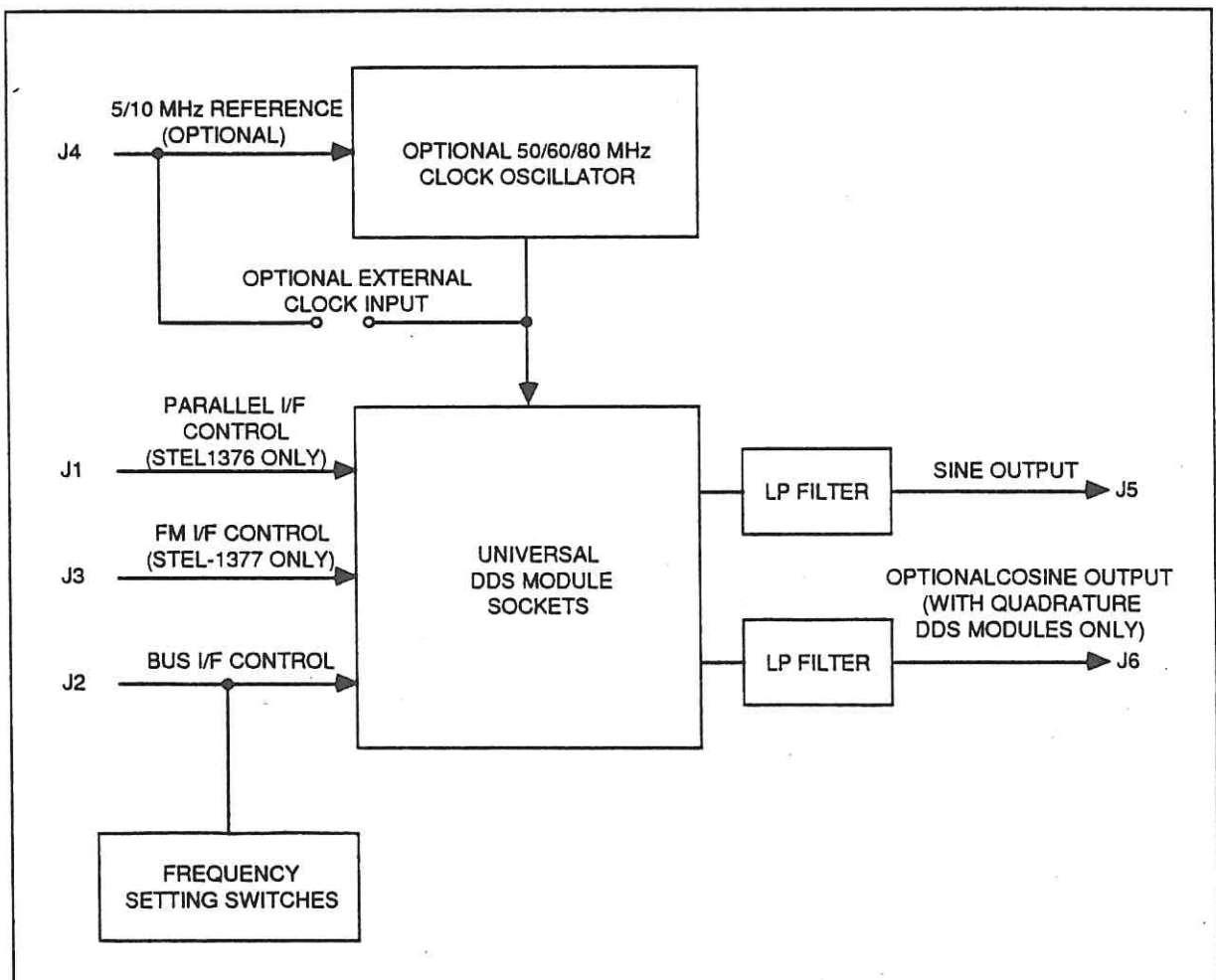
ASIC
Custom
Products
Division

**STANFORD
TELECOM®**

FEATURES

- ACCEPTS ALL STANFORD TELECOM MINIATURE DDS MODULES
- OPTIONAL ON-BOARD CLOCK OSCILLATOR PHASE LOCKABLE OR FREE RUNNING
- OPTIONAL ON-BOARD OUTPUT FILTERS
- CONTROL SWITCHES ON BOARD TO ALLOW STAND-ALONE OPERATION

The STEL-1370 Universal DDS Mother Board is designed to accept the STEL-137X family of Direct Digital Synthesizer (DDS) Modules. The STEL-1370 provides an easy means of evaluating the performance of these modules. Sub-miniature 'D' connectors are provided for the control interfaces and SMA connectors are provided for the clock input and signal outputs. An optional on-board oscillator is available. The oscillator can be free-running or phase locked to allow the STEL-1376 Decimal DDS to be operated from a standard 10 MHz frequency reference. The DDS modules currently available are the STEL-1375A PM DDS, STEL-1376 Decimal DDS, the STEL-1377 PM and FM DDS and the STEL-1378A Dual DDS.



SPECIFICATIONS

FREQUENCY RANGE:

AC coupled, low cutoff frequency approximately 3 KHz. Upper cutoff frequency depends on filters installed and clock frequency used. Approximately 25 MHz at a clock frequency of 50 or 60 MHz, using PLP-21.4 filters, 35 MHz at a clock frequency of 80 MHz, using PLP-30 filters.

RESOLUTION: Dependent on DDS Module used and clock frequency. Refer to DDS module data sheets.

CLOCK INPUT:

J4: 0.1 to 1 volts, A.C. coupled, 50Ω

Direct Input

Maximum frequency, $f_{CLK(max)} = 80$ MHz
(Maximum clock frequency also depends on DDS module in use:

For STEL-1378A, 50 MHz max.

For STEL-1375 and STEL-1377, 60 MHz max.

For STEL-1376, 80 MHz max.)

Note: When using an external clock, disconnect power to internal clock by removing the jumper from TB9 to avoid "beat" problems.

Reference Input

10 MHz reference to on-board 80 MHz phase lockable VCXO, STEL-1370-R80 models with STEL-1376 DDS module only

OUTPUTS:

J5: Sine, SMA connector.

J6: Cosine, SMA connector, with -Q option only, when used with STEL-1372 or STEL-1377.

Output level*: Approx. -4 dBm @ $f < 0.1 \times f_{CLK}$
 -7 dBm @ $f = 0.4 \times f_{CLK}$

*Note: The actual output levels will depend on the filter losses. In addition, the output level of the DAC falls as the frequency rises according to the equation:

$$V_{OUT} = \frac{V_{OUT(DC)} (\text{sine } f')}{f'}$$

where: $f' = \pi f_{OUT}/f_{CLK}$

Note: The output level is adjustable by means of RV1.

OUTPUT FILTERS:

Two Mini Circuits type PLP-21.4 or PLP-30, cascaded. The PLP-30 is normally supplied with the -X80 or -R80 options, for use with the STEL-1376 DDS module. Filters plug in, and can be changed for other PLP filters.

POWER REQUIREMENTS:

+5 volts $\pm 5\%$ @ 20 mA

+15 volts $\pm 5\%$ @ 20 mA

(Power consumption of Mother Board only, option R80. The DDS modules also require -5.2 volt supply.)

DIMENSIONS: 7" x 4"

NOTES

1. Terminal strips TB1–TB4 are used to include or bypass the filters.

To include the filters make the following connections: TB1/3: connect pin 2 to pin 3
TB2/4: connect pin 2 to pin 1

To bypass the filters make the following connections: TB1/3: connect pin 2 to pin 1
TB2/4: connect pin 2 to pin 3

2. When using an STEL-1376 DDS module, terminal strip TB5 is used to connect the 35-bit input into an 8-bit bus mode. All 27 poles should be jumpered to use the STEL-1376 in the 8-bit bus mode, and removed to use it in the 35-bit parallel mode. Refer to STEL-1376 data sheet for programming information. This terminal strip is not used with the other DDS modules.

ORDERING INFORMATION

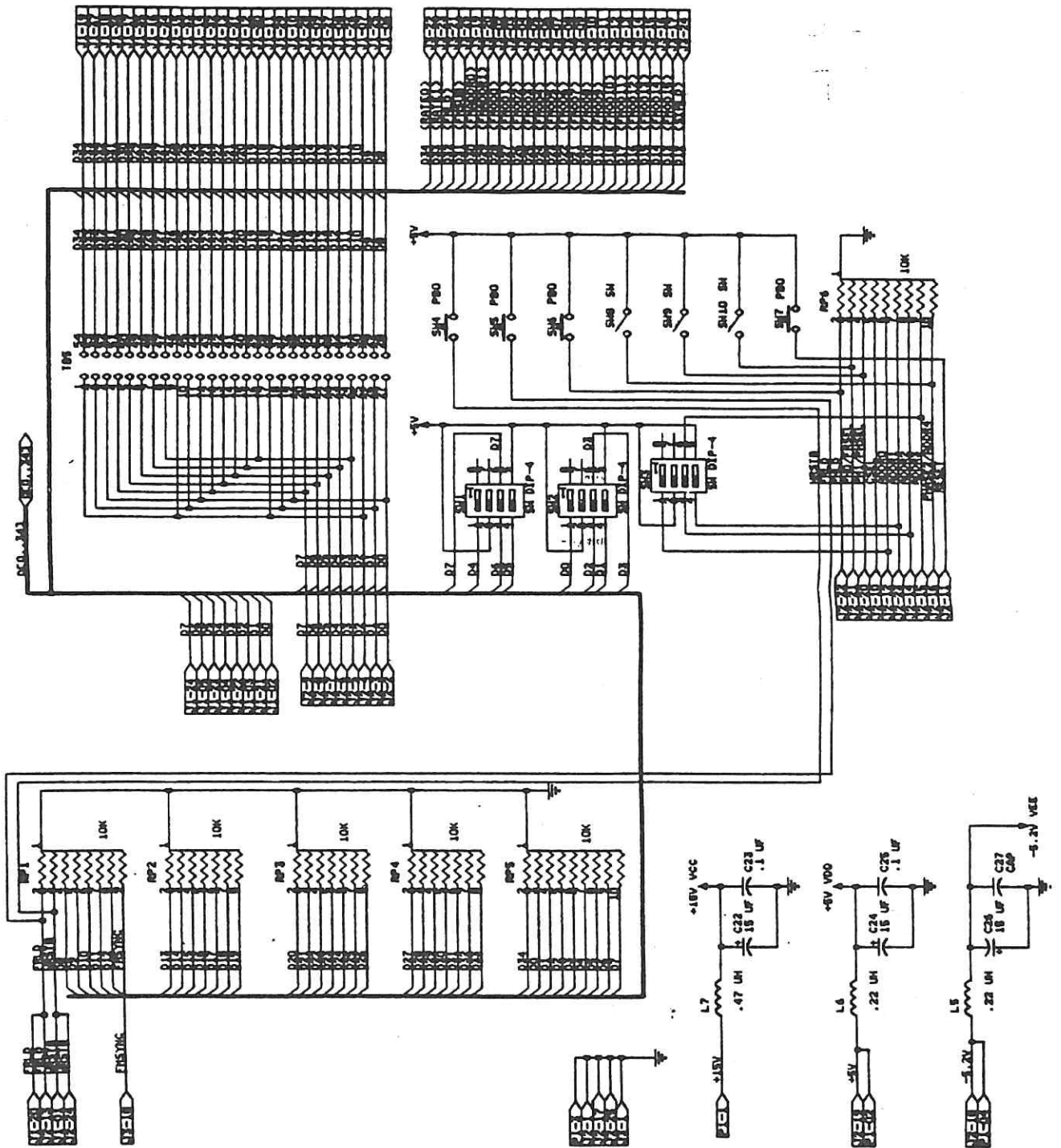
Model: STEL-1370/CE

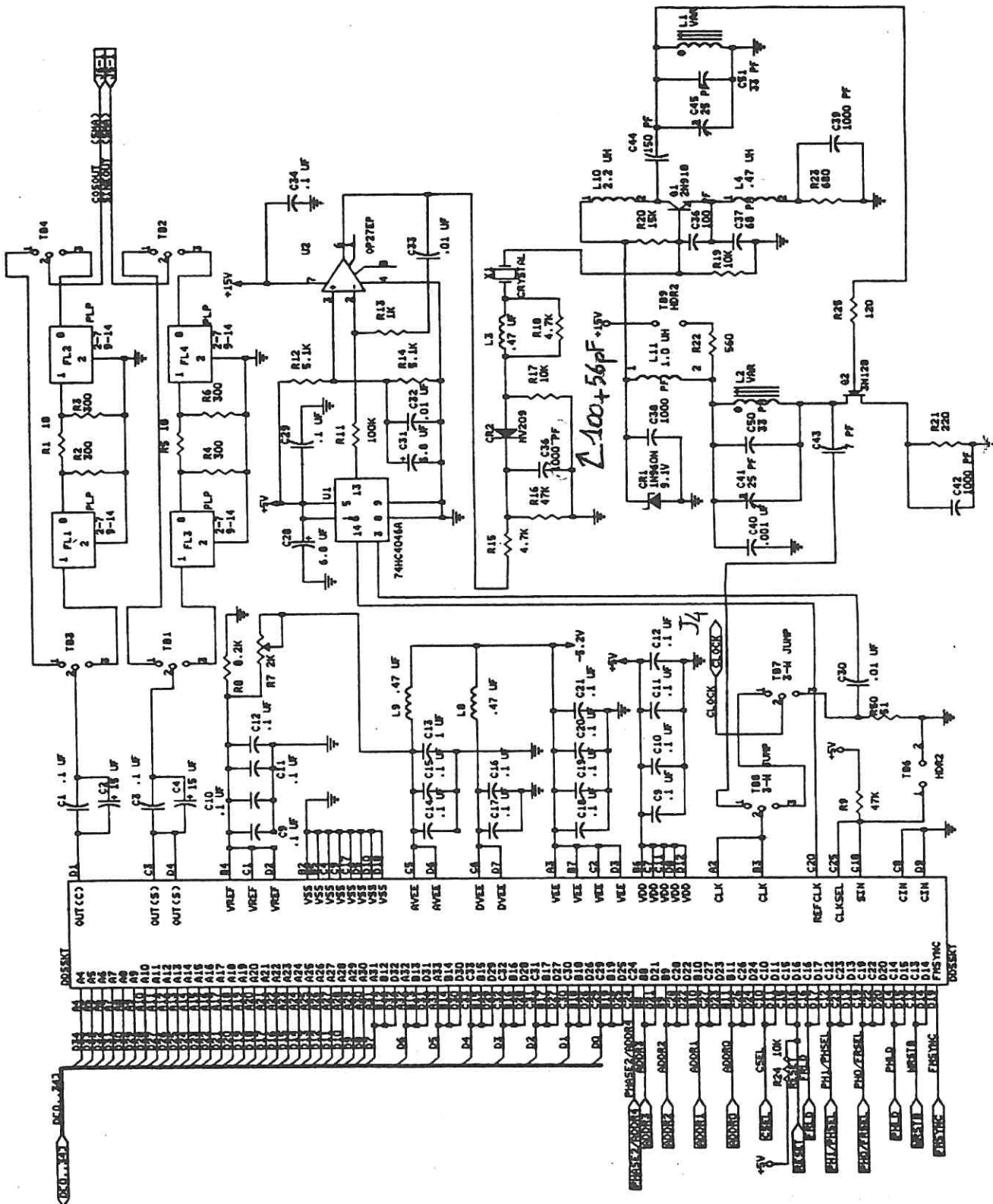
Options:

1. On-board 80 MHz phase lockable clock, add suffix -R80. Operates in phase locked mode with STEL-1376 DDS module only
2. On-board 50, 60 or 80 MHz free running clock, add suffix -X50, -X60 or -X80.
3. Filter cutoff frequency, add suffix -F25 or -F35 (See **FREQUENCY RANGE** specification)
Note: The STEL-1370 is delivered with the -F25 option except when ordered with the -R80 or -X80 options, or unless otherwise specified.
4. Quadrature outputs, for use with STEL-1372 and STEL-1377, add suffix Q.

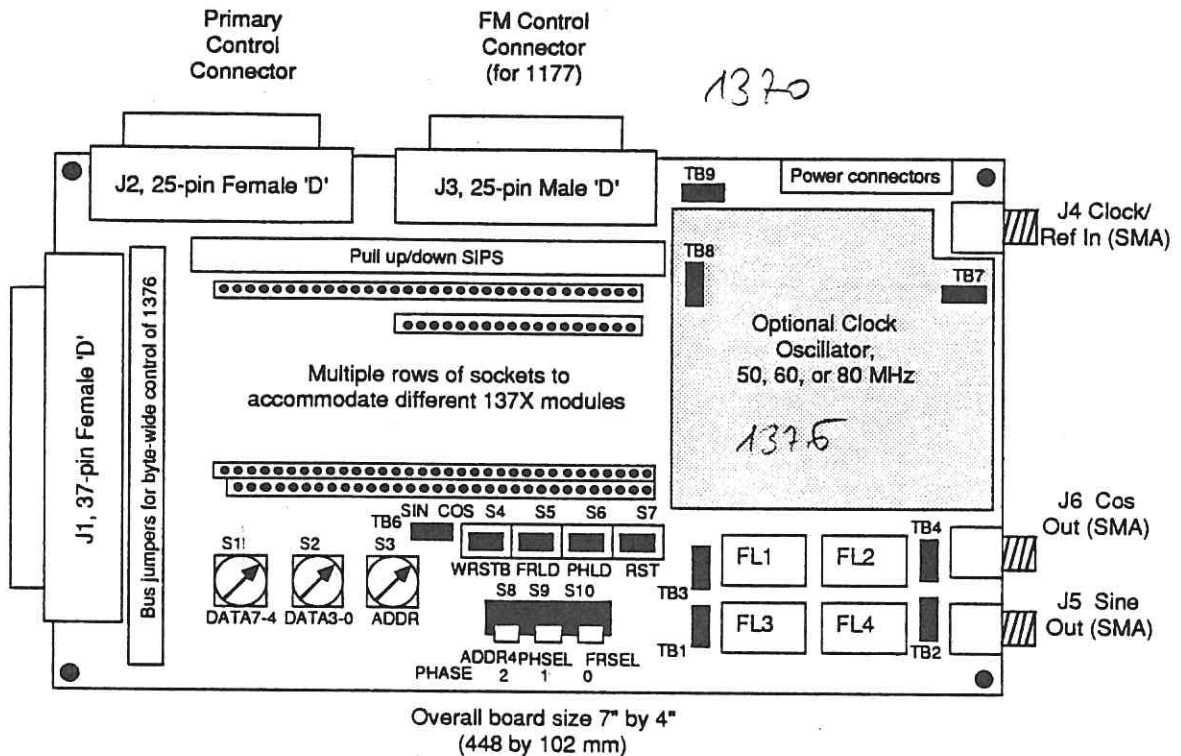
Example: STEL-1370-X60-F25-Q: Supplied with 60 MHz free running clock, 25 MHz cutoff filters, with quadrature output channels.

STEL-1370 SCHEMATIC





STEL-1370 OUTLINE DRAWING



PROGRAMMING THE DDS MODULES VIA THE CONNECTORS J1-J3

The following points should be noted before connecting any programming source to connectors J1-J2:

1. Set all switches to zero, and do not use the push button switches while using an external source to program the DDS modules. Failure to observe these precautions may result in damage being caused to the source, since the switches connect the signal lines directly to the +5 volt rail when not set to the zero positions.
2. Connector J1 is used to program the STEL-1376 DDS in the parallel mode. Note that the DATA₇₋₀, WRSTB and FRLD pins on this connector are connected to the corresponding pins on J2. It is possible to program the frequency of the STEL-1376 from this connector alone by setting the on-board address switch to 6, putting the STEL-1376 into the parallel program mode. This will connect pins 14 and 23 on J2 to +5 volts. Jumpers should not be used in terminal strip TB5 in this case. To program the STEL-1376 in the bus mode the 27 pole terminal strip should be fully equipped with jumpers.
3. Connector J3 is used to program the FM port on the STEL-1377. If J3 is left unconnected the frequency modulation value will be zero.

CONTROL INTERFACE CONNECTORS

J1: Connector Type: 37 Pin Sub-miniature 'D', female.
(Used with STEL-1376 DDS module only)

Pin 1	WRSTB	Pin 20	FRLD
2	DATA0	21	DATA1
3	DATA2	22	DATA3
4	DATA4	23	DATA5
5	DATA6	24	DATA7
6	DATA8	25	DATA9
7	DATA10	26	DATA11
8	DATA12	27	DATA13
9	DATA14	28	DATA15
10	DATA16	29	DATA17
11	DATA18	30	DATA19
12	DATA20	31	DATA21
13	DATA22	32	DATA23
14	DATA24	33	DATA25
15	DATA26	34	DATA27
16	DATA28	35	DATA29
17	DATA30	36	DATA31
18	DATA32	37	DATA33
19	DATA34		

J2: Connector Type: 25 Pin Sub-miniature 'D', female.

Pin 1	GND	Pin 14	ADDR2*
2	DATA0	15	ADDR3*
3	DATA1	16	PHASE2
4	DATA2	17	GND
5	DATA3	18	-5.2 V
6	DATA4	19	+5.0 V
7	DATA5	20	PHSEL/PHASE1**
8	DATA6	21	FRSEL/PHASE0**
9	DATA7	22	PHLD
10	CSEL	23	ADDR1
11	RESET	24	WRSTB
12	ADDR0	25	GND
13	FRLD		

J3: Connector Type: 25 Pin Sub-miniature 'D', male.
(Used with STEL-1377 DDS module only)

Pin 1	GND	Pin 14	FMOD12
2	FMOD0	15	FMOD13
3	FMOD1	16	FMOD14
4	FMOD2	17	FMOD15
5	FMOD3	18	FMSYNC
6	FMOD4	19	FMAD0
7	FMOD5	20	FMAD1
8	FMOD6	21	FMLD
9	FMOD7	22	RATE0
10	FMOD8	23	RATE1
11	FMOD9	24	SIMLD
12	FMOD10	25	FMSUB
13	FMOD11		

Logic levels: TTL/HCMOS

Notes:

* ADDR2 and ADDR3 are not used on all DDS modules.

** PHASE1 AND PHASE0 are used with STEL-1376.

USING THE ON-BOARD SWITCHES TO PROGRAM THE DDS MODULES

Using the switches with the STEL-1375A.

1. Press the reset button to reset the synthesizer after power-on or at any other time.
2. Addresses 0 through 3 load Δ -Phase Buffer Register A, and addresses 4 through 7 load Δ -Phase Buffer Register B.
3. Addresses 8 and 9 load the Phase Buffer Registers. When PHSEL/PHASE1 (S9) is set high the phase data is loaded into the phase buffers from the data switches.
4. When PHSEL/PHASE1 (S9) is set low the data is loaded directly in the phase register as a 12-bit parallel word from the data and address switches, S1-S3, with PHASE₃₋₀ being set by the address switch, S3.
4. Load data bytes in any sequence by selecting the address with the address switch, setting the data with the two data switches, and pressing the WRSTB button to load each byte. For frequency, addresses 0 (Δ -Phase Register A) and 4 (Δ -Phase Register B) are the least significant bytes, and 3 (Δ -Phase Register A) and 7 (Δ -Phase Register B) are the most significant bytes (32 bits total, 4 bytes, for each register). For phase, address 8 is the least significant (4 bits only, using left-hand data switch), and 9 is the most significant (12 bits total, 2 bytes).

Refer to STEL-1375A data sheet for more information on programming the NCO.

5. The FRSEL/PHASE0 switch (S10) should be set high to use Δ -Phase Buffer Register A for frequency setting, and set low to use Δ -Phase Buffer Register B.
6. The synthesizer will be set to the new frequency after pressing the FRLD button, and to the new phase after pressing the PHLD button.
7. To toggle between the frequencies stored in the A and B Δ -Phase Registers, toggle the FRSEL/PHASE0 switch and press the FRLD button.
8. Inserting a jumper in TB6 sets the device into the COSINE mode.

Using the switches with the STEL-1376.

1. Press the reset button to reset the synthesizer after power-on or at any other time.
2. PHASE2 (MSB), PHSEL/PHASE1, and FRSEL/PHASE0 (LSB) are used to set the phase data. The phase data will be loaded into the DDS module by setting the address switch to 5 and pressing the WRSTB button.
3. Load frequency data bytes in any sequence by selecting the address with the address switch, setting the data with the two data switches, and pressing the WRSTB button to load each byte. Address 0 is the least significant byte, and 4 is the most significant (3 bits only, using positions 0 through 7 on the right-hand data switch), 35 bits total, 5 bytes. Refer to STEL-1376 data sheet for more information on programming the DDS frequency. Since this is a decimal DDS, only positions 0 through 9 should be used on the data switches.
4. The synthesizer will be set to the new frequency after pressing the FRLD button, and to the new phase after pressing the PHLD button.
5. Insert a jumper into TB6 to operate with a 10 MHz external reference clock, remove jumper for operation with a 5 MHz reference (internal clock option only). (Jumpers TB7 and TB8 must be set to INT.)

Using the switches with the STEL-1377.

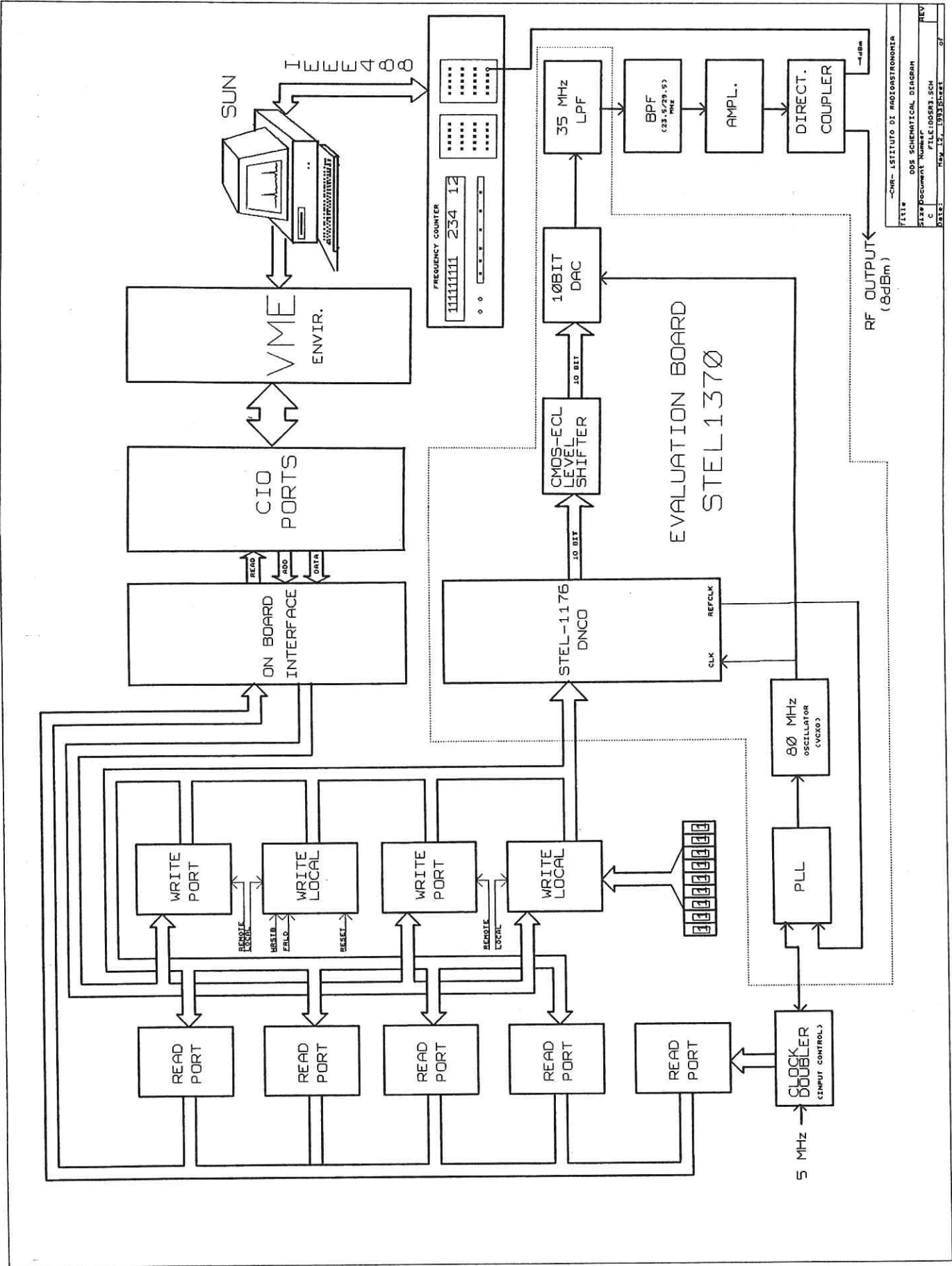
1. Press the reset button to reset the synthesizer after power-on or at any other time.
2. Addresses 0 through 3 load Δ -Phase Buffer Register A, and addresses 4 through 7 load Δ -Phase Buffer Register B.
3. Addresses 8 and 9 load the Sine Phase Buffer Registers, and addresses A and B load the Cosine Phase Buffer Registers. **PHSEL/PHASE1** should be set high to load the phase data from the data switches.
4. Load data bytes in any sequence by selecting the address with the address switch, setting the data with the two data switches, and pressing the **WRSTB** button to load each byte. For frequency, addresses 0 (Δ -Phase Register A) and 4 (Δ -Phase Register B) are the least significant bytes, and 3 (Δ -Phase Register A) and 7 (Δ -Phase Register B) are the most significant bytes (32 bits total, 4 bytes, for each register). For phase, addresses 8 and A are the least significant byte (4 bits only, using left-hand data switch), and 9 and B are the most significant byte, 12 bits total, 2 bytes, on both the sine and cosine channels. Refer to STEL-1377 data sheet for more information on programming the DDS.
5. The **FRSEL/PHASE0** switch should be set high to use Δ -Phase Buffer Register A for frequency setting, and set low to use Δ -Phase Buffer Register B.
6. The synthesizer will be set to the new frequency after pressing the **FRLD** button, and to the new phase after pressing the **PHLD** button.
7. To toggle between the frequencies stored in the A and B Δ -Phase Registers, toggle the **FRSEL/PHASE0** switch and press the **FRLD** button.
8. The switches can not be used to program the FM port, which is programmed via the J3 connector. If J3 is left unconnected the frequency modulation value will be zero.

Using the switches with the STEL-1378A.

1. Press the reset button to reset the synthesizer after power-on or at any other time.
2. Addresses 0 through 3 load Δ -Phase Buffer Register for both NCOs. NCO selection is done with the **FRSEL** switch.
3. Load data bytes in any sequence by selecting the address with the address switch, setting the data with the two data switches, and pressing the **WRSTB** button to load each byte. Address 0 is the least significant byte and address 3 is the most significant byte (32 bits total, 4 bytes).
5. The **FRSEL/PHASE0** switch should be set high to program NCO A and set low to program NCO B.
6. NCO A will be set to the new frequency after pressing the **FRLD** button, and NCO B will be set to the new frequency after pressing the **PHLD** button.
8. The switches can not be used to program the phase of the NCOs.

SCHEMA A BLOCCHI DEL SISTEMA

In Fig. 5 viene riportato lo schema a blocchi dell'intero sistema generatore di segnali digitale. Come si può notare il cuore di tutto il sistema è costituito dalla scheda STEL1370 precedentemente descritta. Il dato relativo alla frequenza da programmare ed i segnali di controllo necessari per l'impostazione della stessa vengono introdotti nella scheda STEL o tramite "contraves" tipo BCD e pulsanti (Local Mode) o tramite porte di scrittura (Remote Mode). In questo ultimo caso il dato viene fornito dalla SUN-Spark Station alle porte di scrittura relative, attraverso una interfaccia parallela in ambiente VME collegata ad una interfaccia di tipo standard CIO. L'interfaccia a bordo del DDS ha poi il compito di decodificare gli indirizzi e gestire le operazioni di I/O. Su ogni porta di scrittura è presente una porta di lettura che ha il compito di leggere il dato appena scritto per confrontarlo con quello che il calcolatore ha chiesto di scrivere su quella stessa porta. In tal modo viene offerta la possibilità di controllare in tempo reale il buon funzionamento del "tratto" Spark/porte di scrittura. Una porta di lettura tiene sotto controllo i segnali di allarme "mancanza 10 MHz", generati dallo stadio di ingresso del clock di riferimento. Un frequenzimetro, sincronizzato con la stessa 10 MHz ricavata per duplicazione della 5 MHz del Maser-H, ha il compito di monitorare in continuazione la frequenza del segnale di uscita del generatore, per effettuarne un primo controllo qualitativo. Esiste la possibilità di leggere il valore della frequenza indicata dal frequenzimetro, tramite la Spark Station, attraverso in link di tipo standard IEEE488. I comandi di Reset e Locale/Remoto sono accessibili sul pannello frontale.



FILE: -CNR- ISTITUTO DI RADIOASTRONOMIA
 DDS SCHEMATICAL DIAGRAM
 Size Document Number: 61000003 SCH
 C. I. 14.000003 SCH
 REV: REV. 15_1985/SECRET OF

Fig 15

SCHEMA ELETTRICO

In fig.6 viene riportato lo schema elettrico dello stadio di sincronizzazione del DDS. Il clock di riferimento a 10 MHz si ottiene duplicando la 5 MHz, che arriva dal Maser-H. Mediante un accoppiatore direzionale si preleva una piccola parte di segnale di clock a 10 MHz per il circuito di segnalazione di presenza/assenza di clock formato dai dispositivi LM360, 74LS14, 74LS123 e 74LS74. Viene generato poi, tramite un driver TTL a 50 Ohm, un segnale di clock a 10 MHz TTL disponibile nel retro del generatore.

In fig.7 appare lo schema elettrico della interfaccia "di bordo" del sistema che ha il compito di decodificare gli indirizzi, di mandare i segnali di selezione dispositivo (scrittura/lettura) ad un massimo di 8 porte di I/O con indirizzi contigui e di "bufferizzare" i vari segnali che provengono dal sistema CIO. E' presente un monostabile che genera un segnale per il pilotaggio di un led per l'indicazione visiva del ciclo di write. Il banco di switches S1 sceglie il gruppo costituito dagli 8 indirizzi contigui (0-7; 8-15, 16-31 ecc..).

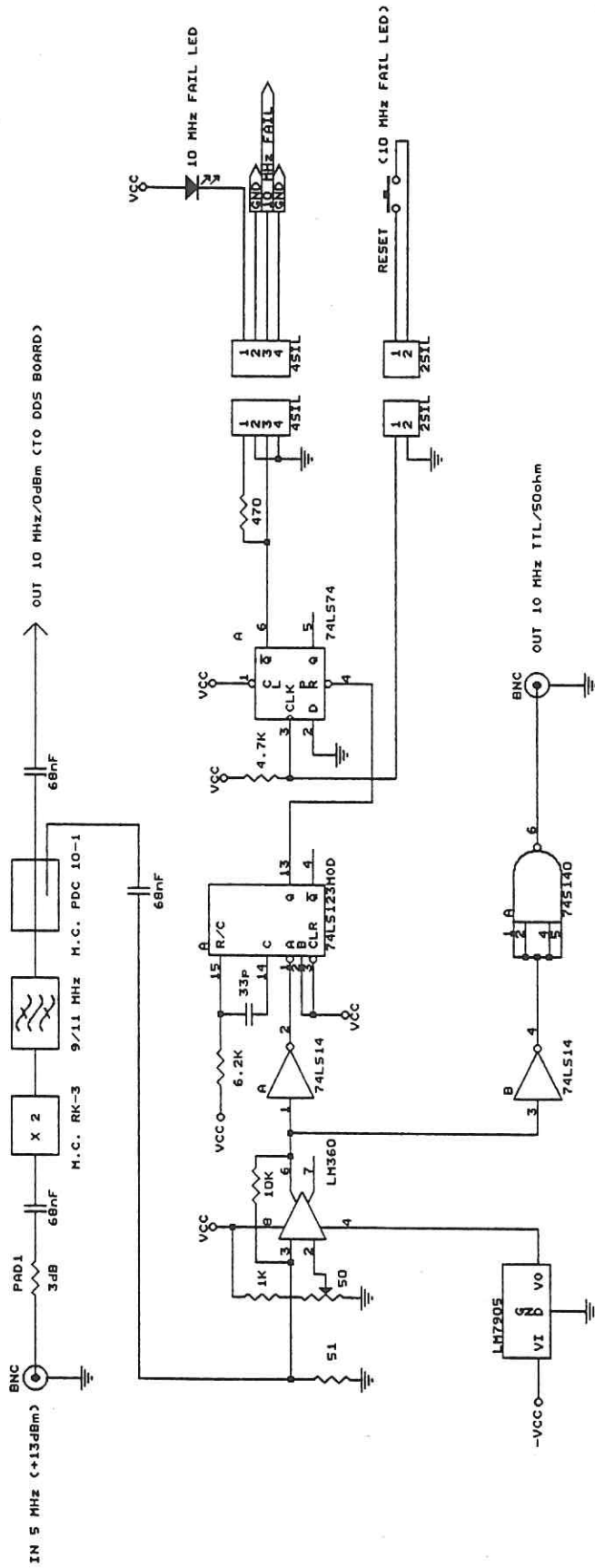
In fig 8 viene riportato lo schema elettrico della parte di generazione dei segnali di controllo WRSTB, FRLD e ALLRESET. (U23 per il Remote Mode e U26 in Local Mode) più la parte per il controllo visivo degli stessi, tramite leds, pilotati dai monostabili U24 A/B e U25. Nella stessa figura è anche riportata tutta la circuitistica relativa alle porte di scrittura del dato "frequenza da impostare" in modo remoto (U8, U11, U14, U17 ed U20) ed in modo locale (U9, U12, U15, U18 ed U21). La selezione del modo di scrittura Locale/Remoto viene effettuata collegando a massa i pins di gate 1G e 2G dei 74LS240 o i pins OC e CLK dei 74LS373 rispettivamente. Le porte di lettura U7, U10, U13, U16 e U19 hanno il compito, come detto in precedenza, di leggere il dato appena scritto (Remote Mode) od impostato (Local Mode) sulla relativa porta per scopi puramente "diagnostici". Vengono riportate anche, nella stessa figura, le connessioni al connettore che porta tutti i segnali sopraddetti alla DDS board STEL1370 (J1, J2).

La fig.10 mostra lo schema dei comandi presenti sul pannello frontale e relativi collegamenti ai connettori per la connessione con la scheda appena descritta.

In Fig.10 appare lo schema dello stadio di uscita del DDS. Il segnale sinusoidale proveniente dalla scheda STEL viene attenuato di circa 4 dB prima di essere filtrato con un filtro passa banda tipo 4LB31-26.5/UC-O/OP tra 23.5/29.5MHz.

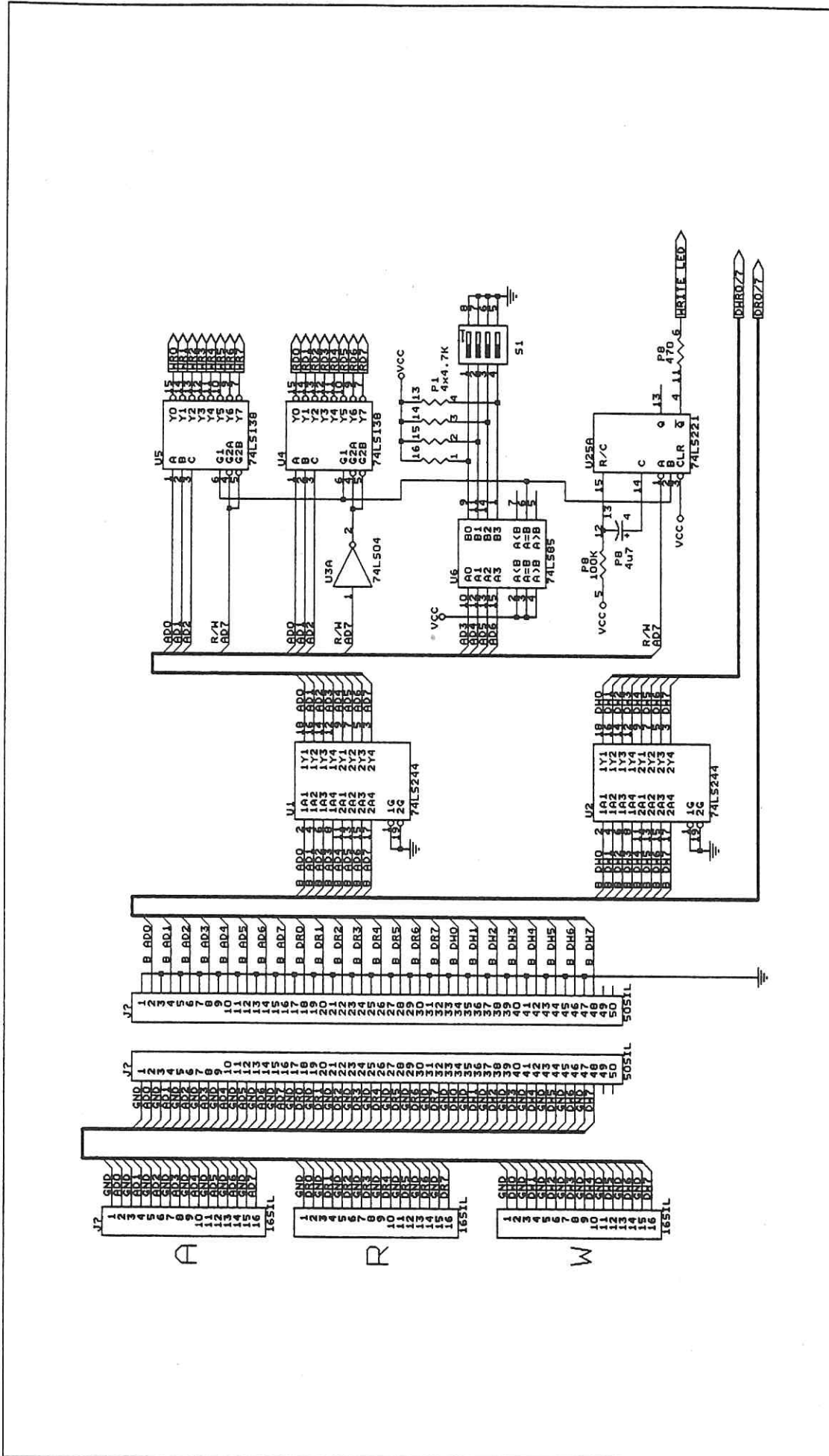
Il segnale filtrato viene poi amplificato da un dispositivo tipo M.C. ZFL 500HLN che lo porta ad un livello di uscita di circa +8 dBm. E' presente anche una seconda uscita di uso generale ottenuta con un accoppiatore direzionale.

In Fig.11 viene riportato lo schema elettrico dello stadio alimentatore. Per ultimo viene riportato il plottato dello spettro del segnale di output, effettuato con un analizzatore di spettro IFR.



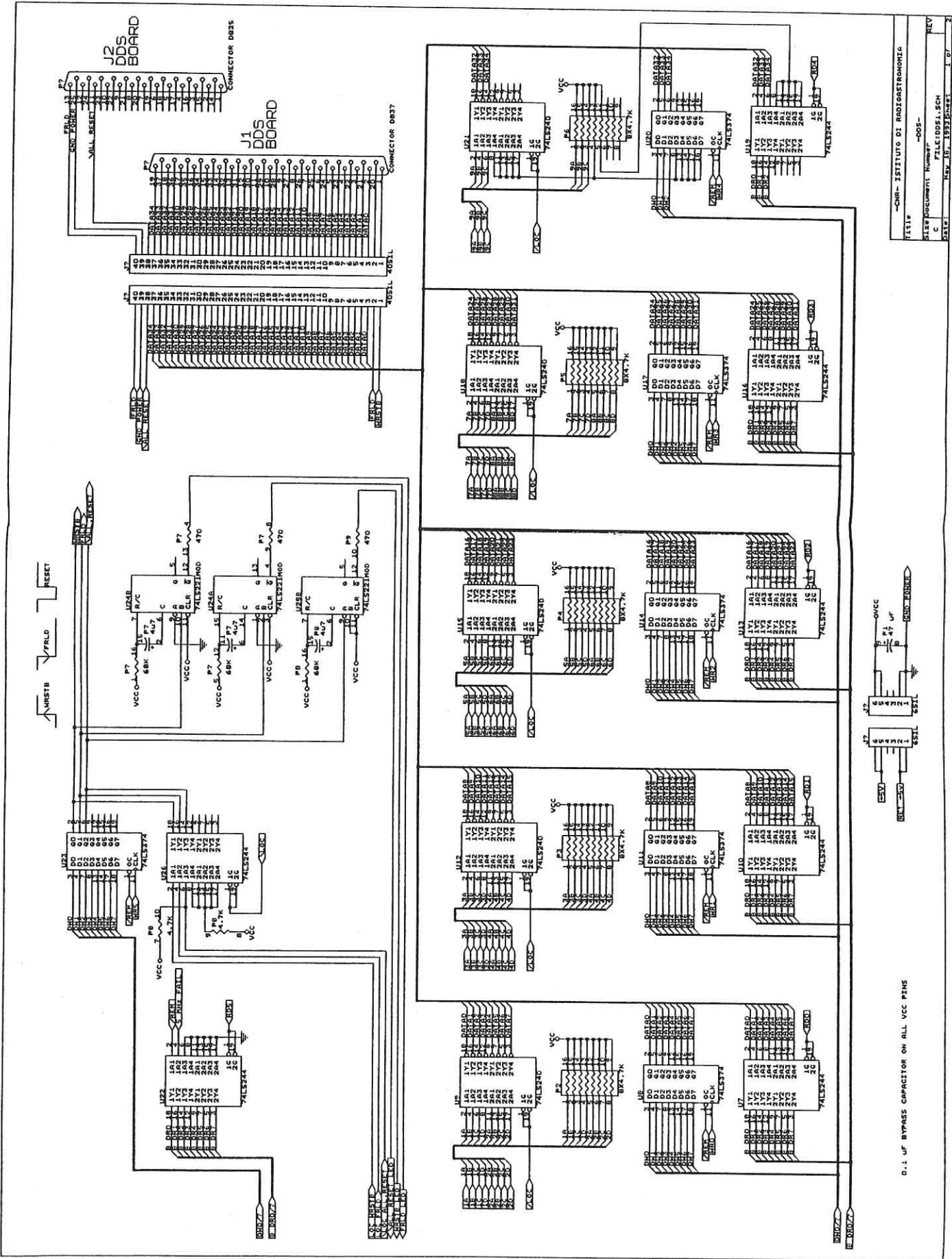
-CNR- ISTITUTO DI RADIOASTRONOMIA	
Title	DDS
Size	Document Number
B	FILE:DDSIN.SCH
Date:	May 18, 1993
	Sheet
	of

FIG. 6



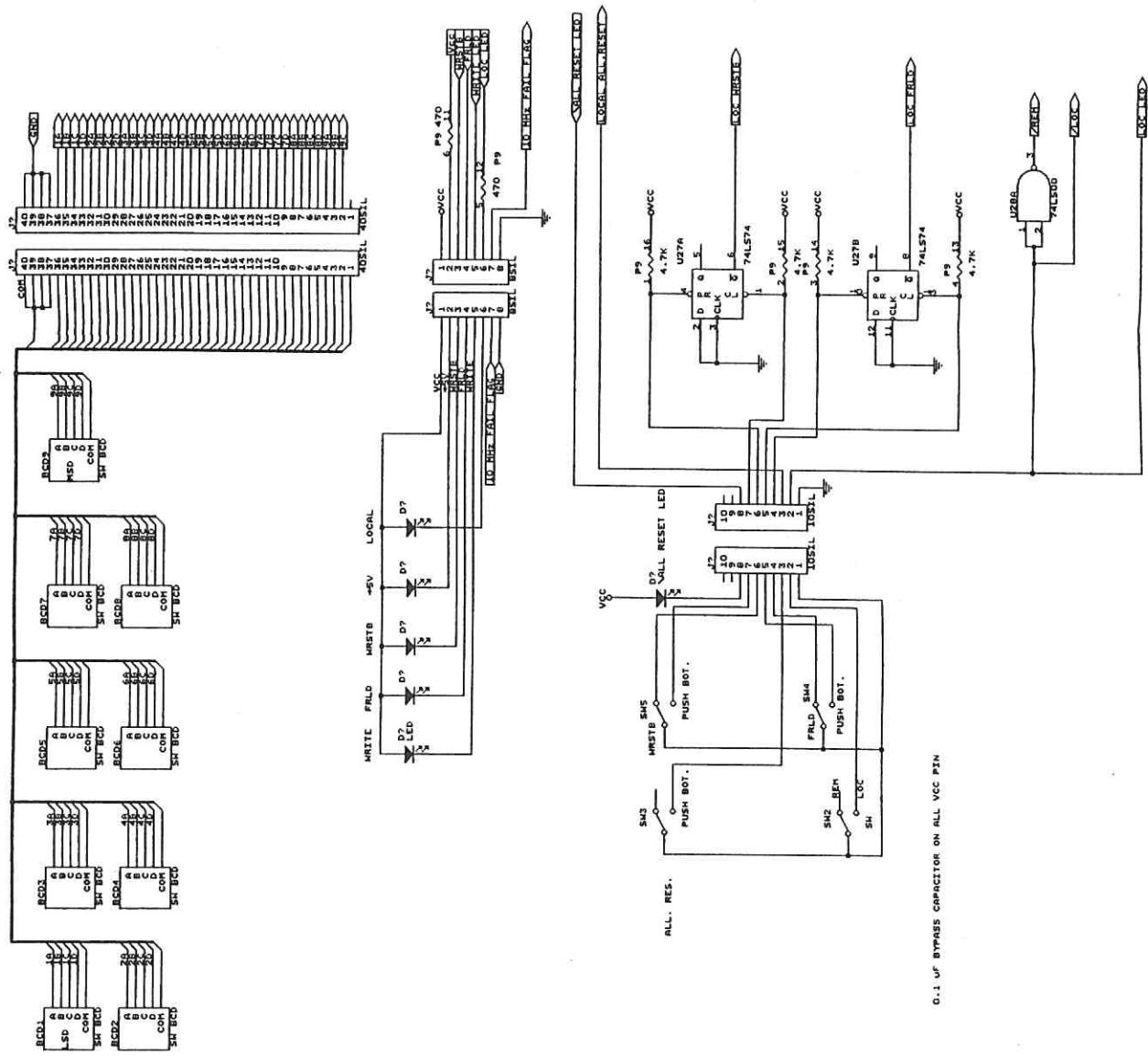
-CNR- ISTITUTO DI RADIOASTRONOMIA	
Title	-DDS-
Size Document Number	B
FILE	DD50.SCH
Date:	May 19, 1993
Sheet	of

FIG. 7



FILE	-CHM- ISTITUTO DI RADIOASTRONOMIA
DESCRIPTION	005-
C	FILEDD01.SCH
DATE	NOV 10 1993 15:21
REV	1

FIG. 8



FILE: -CNR- ISTITUTO DI RADIOASTRONOMIA
 -DDS-
 SHEET DOCUMENT NUMBER: FILE: DDS2.SCH
 C REV:
 DATE: MAY 27 1992 10:01:01

FIG. 9

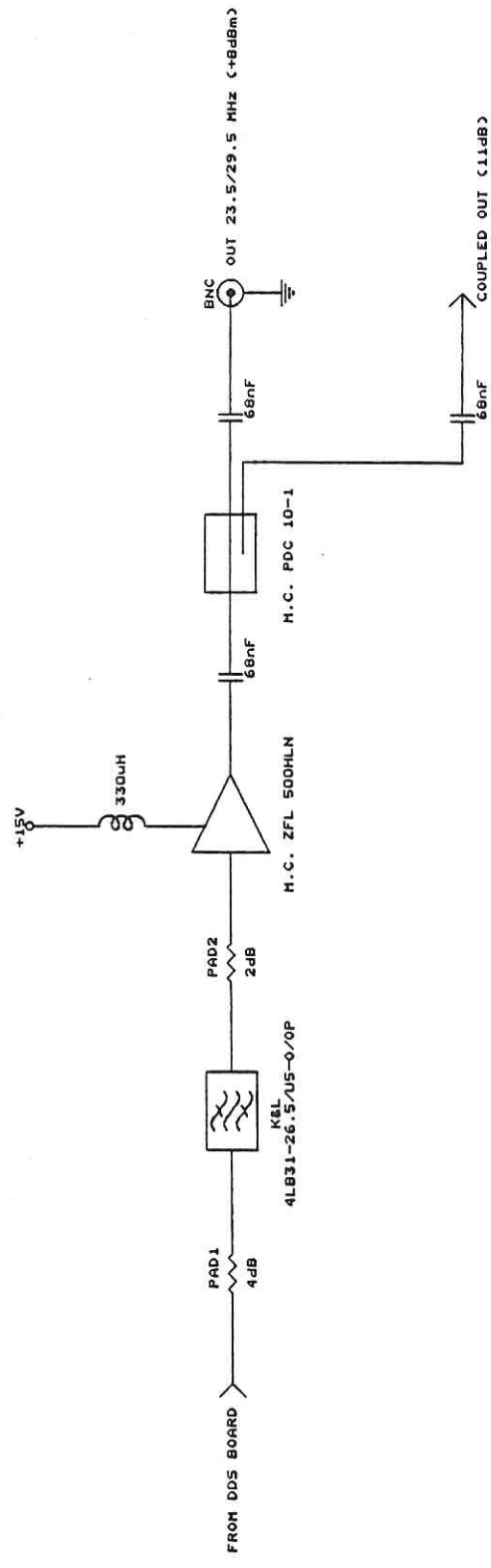


FIG. 10

-CNR- ISTITUTO DI RADIOASTRONOMIA	
Title	DDS
Size Document Number	B
FILE:DDSAMP.SCH	REV
Date: May 19, 1993	Sheet of

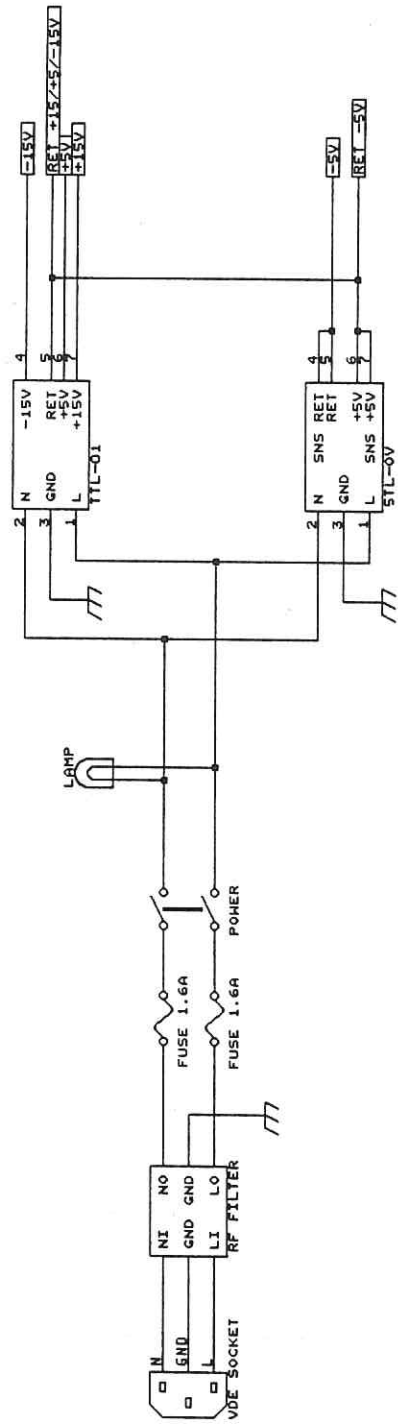


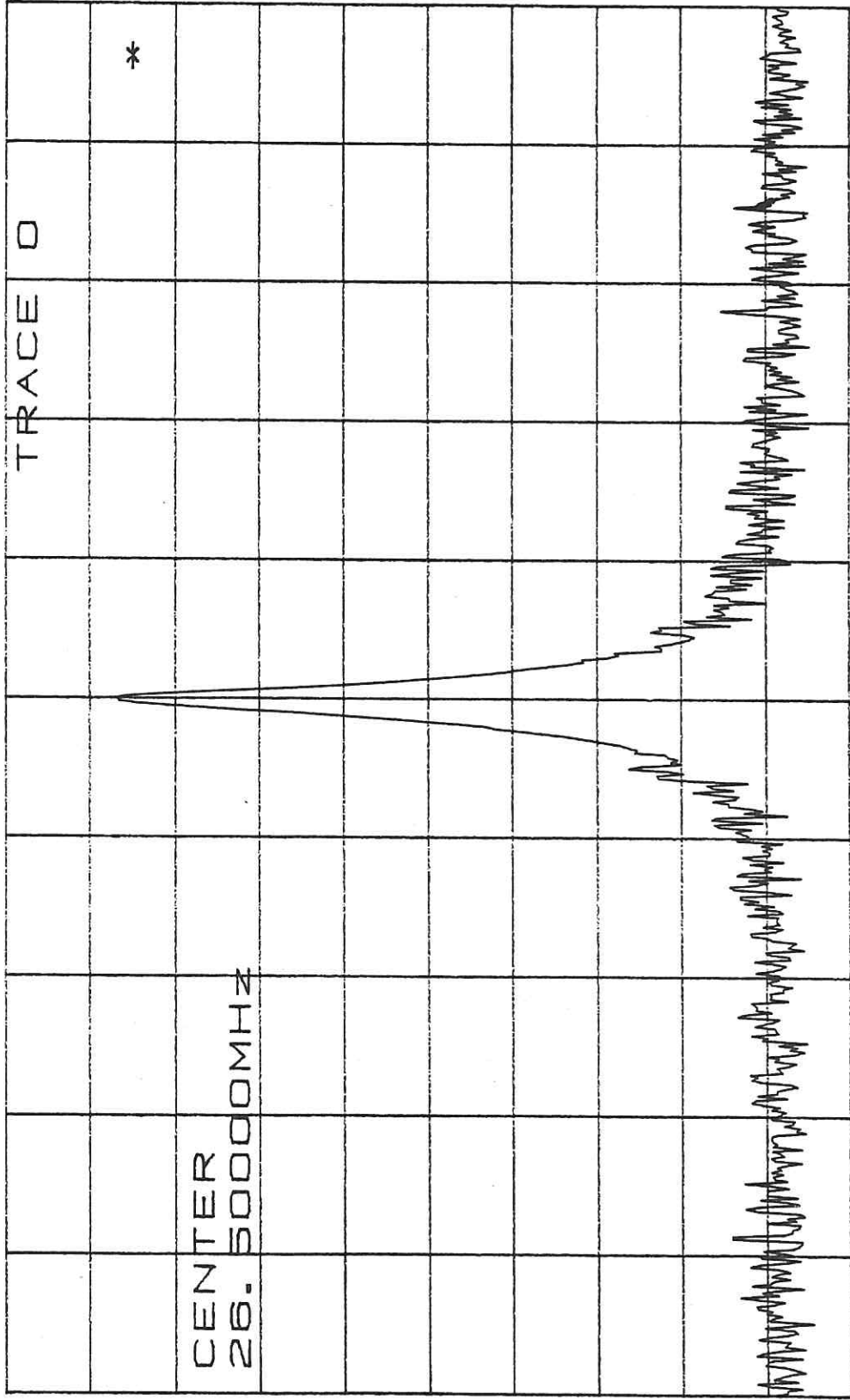
FIG. 11

-CNR- ISTITUTO DI RADIOASTRONOMIA	
Title	DDS
Size	Document Number
B	FILE:DDSP04.SCH
Date:	May 19, 1993 Sheet
	of

*ATTEN 50dB

RL 20.0dBm

10dB/



D

CENTER 26.50000MHz

RBW 100Hz

VBW 300Hz

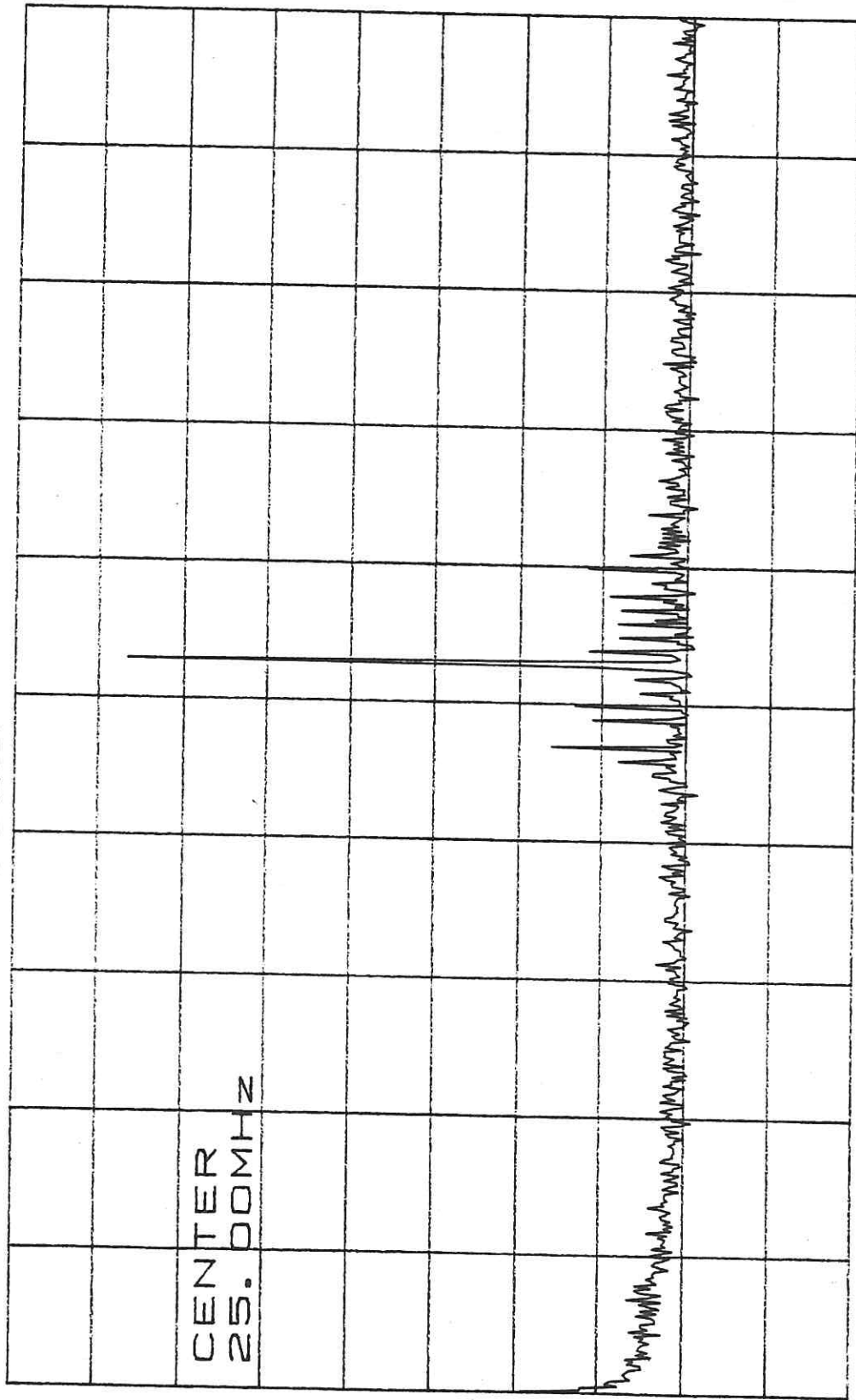
SPAN 20.00kHz

SWP 5.0sec

*ATTEN 40dB

RL 20.0dBm

10dB/



CENTER
25.00MHZ

D

CENTER 25.00MHZ

SPAN 50.00MHZ

*RBW 10KHZ

VBW 30KHZ

SWP 2.0sec